

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-003551

(43)Date of publication of application : 09.01.1986

(51)Int.Cl.

H04L 25/03  
G06F 11/00

(21)Application number : 59-124810

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 18.06.1984

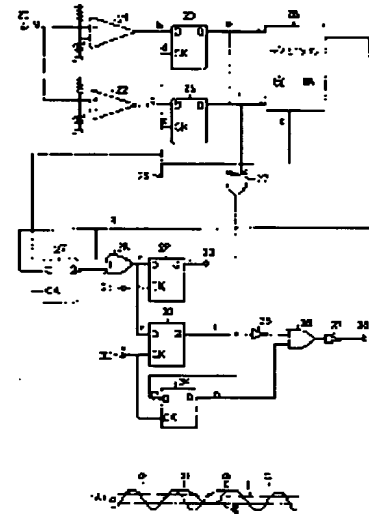
(72)Inventor : YAMAGISHI TORU

### (54) CIRCUIT FOR GENERATING POSSIBLE ERRONEOUS DATA

#### (57)Abstract:

**PURPOSE:** To generate accurately a possible erroneous data even with abnormality in waveform by quantizing a digital signal with plural threshold values with different level, comparing each signal and generating the possible erroneous data.

**CONSTITUTION:** The waveform corresponding to bits a2, a3 is expressed substantially as broken lines but deformed as shown in solid lines due to transmission distortion. A signal (a) incoming to a terminal 20 is fed respectively to comparators 21, 22, quantized with a different threshold value and becomes signals (e), (f). The signals are ORed by a digital circuit 26, and signal (g) is outputted and ORed exclusively by an exclusive OR circuit 27. When the waveform between the signals (e), (f) is different in this case, an output (m) of the circuit 27 goes to an H level and an FF34 generates a signal (n). Then the signal (n) is mixed with a signal of clock bit (l) from an FF30 and a possible erroneous data (o) is generated.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭61-3551

⑫ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)1月9日

H 04 L 25/03  
G 06 F 11/00

A-7345-5K  
7368-5B

審査請求 未請求 発明の数 1 (全1頁)

⑭ 発明の名称 誤り可能性データ生成回路

⑮ 特 願 昭59-124810

⑯ 出 願 昭59(1984)6月18日

⑰ 発 明 者 山 岸 亨 横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

⑱ 出 願 人 日本ビクター株式会社 横浜市神奈川区守屋町3丁目12番地

⑲ 代 理 人 弁理士 伊東 忠彦

明 細 書

1. 発明の名称

誤り可能性データ生成回路

2. 特許請求の範囲

伝送路を通して供給されるディジタル信号をレベルの異なる複数の閾値夫々により量子化し、該複数の閾値夫々の量子化で得られる信号を互いに比較して波形異常を検出し該ディジタル信号の伝送誤りが発生した確率の高いビットを指示する誤り可能性データを生成することを特徴とする誤り可能性データ生成回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は誤り可能性データ生成回路に係り、伝送されたディジタルデータより誤り可能性データを生成する誤り可能性データ生成回路に関する。

従来技術

本出願人は先に特願昭58-38135号、発明の名称「信号再生方式」その他により、再生信号から符号化データを生成すると共に誤り可能性

データを生成して、符号化データと誤り可能性データの相互関係より符号化データの復号を行なう信号再生方式を提案した。このような信号再生方式においては第5図に示す回路を用いて誤り可能性データの生成を行なっていた。

第5図は従来の誤り可能性データ生成回路の一例の回路図を示す。まず、第5図の端子1に入来する信号は、第6図(A)に示すNRZ(ノン・リターン・ツー・ゼロ)信号に対してビットの変わり目で必ず変化し、その値が「1」のとき更にビットの間でも変化する第6図(B)に示す如きハイレース・スペース変調されたディジタル信号である。このディジタル信号は伝送されて第6図(C)に示す如き波形となつて端子1に入来する。この第6図(C)の信号中、部分X<sub>1</sub>は本来、破線に示す如き波形であるべきものであるが伝送(又は再生)誤りによつて実線に示す如く変形している。この信号はコンパレータ2で整形されて第6図(D)に示す信号とされ、D形フリップフロツプ3に供給される。D形フリップフロツプ3

にはD形フリツプフロツプ4が縦横接続され、これらのフリツプフロツプ3、4のクロツク入力端子には端子5より第6図(E)に示すサンプリングパルスが供給されており、フリツプフロツプ3、4より第6図(F)、(G)夫々に示す信号が出力され、これらの信号はイクスクルーシブオア回路6に供給されて第6図(H)に示す信号とされた後、D形フリツプフロツプ7、8に供給される。フリツプフロツプ7のクロツク入力端子には端子9より第6図(I)に示すデータビット抽出用のクロツクパルスが供給されて第6図(J)に示す符号化データが取り出され、端子11より出力される。又フリツプフロツプ8のクロツク入力端子には端子10より第6図(K)に示すクロツクビット抽出用のクロツクパルスが供給されて第6図(L)に示すクロツクビットつまり誤り可能性データが取り出され、端子12より出力される。

ここで第6図(C)の信号の部分 $x_1$ の波形がなく破線に示すものである場合には同図(D)、(F)、(G)、(H)の信号夫々は破線に示す

波形となる。しかし、上記部分 $x_1$ の波形のために、第6図(J)の符号化データのうちビット $y_6$ が'1'に変形している。また、第6図(L)のクロツクビットはバイフェーズスペース変調におけるクロツク成分であり、本来絶てのビットが'1'となるものであるが、上記の部分 $x_1$ の波形のために、ビット $z_6$ が'0'となっており、このクロツクビットを判別することにより符号化データの誤りの可能性を知ることができ、これを誤り可能性データと呼ぶ。

ところで、第7図(A)に示す如く部分 $x_2$ が本来破線に示す波形にも拘らず実線の如く変形した信号が第5図示の端子1に入来すると、コンパレータ2の出力信号、フリツプフロツプ3、4夫々の出力信号は第7図(B)、(D)、(E)に夫々示す如くなる。第7図(B)は端子5に入来するサンプリングパルスを示している。これによつてイクスクルーシブオア回路6の出力信号は同図(F)に示す如くなり、この信号を第7図(G)、(I)夫々のクロツクパルスでラツチすること

により端子11、12夫々から第6図(H)、

(J)夫々に示す如き符号化データ及び誤り可能性データが出力される。この場合、部分 $x_2$ の波形によつて、第7図(H)の符号化データは本来ビット $y_1 \sim y_4$ が'1101'であるべきもののビット $y_1 \sim y_4$ が'1011'となつてビット $y_2$ 、 $y_3$ が反転している。これにも拘らず第7図(J)に示す誤り可能性データのうち上記ビット $y_2$ 、 $y_3$ に開接するビット $z_2$ は'1'であり、誤りの可能性を指示していない。このため、符号化データのうちのビット $y_2$ 、 $y_3$ の誤りを判別できないという問題点があつた。

そこで本発明は、デジタル信号をレベルの異なる複数の閾値夫々で量子化し、これによつて得られる信号夫々を比較して誤り可能性データを生成することにより、上記の問題点を解決した誤り可能性データ生成回路を提供することを目的とする。

問題点を解決するための手段及び作用

本発明は、伝送路を通して供給されるディジタ

ル信号をレベルの異なる複数の閾値夫々により量子化し、複数の閾値夫々の量子化で得られる信号を互いに比較して波形異常を検出しディジタル信号の伝送誤りが発生した確率の高いビットを指示する誤り可能性データを生成するものであり、第1図以下と共にその一実施例につき説明する。

#### 実施例

第1図は本発明回路の一実施例のブロック系統図を示す。同図中、端子20には伝送又は再生された第2図(A)に示す如きバイフェーズ・スペース変調されたディジタル信号が入来する。この信号 $a$ はビット $a_1 \sim a_4$ が'1101'の符号化データをバイフェーズ・スペース変調したものであり、ビット $a_2$ 、 $a_3$ に対応する部分の波形は本来破線の如きものであるが、伝送誤り等により実線の如く変形している。上記の端子20に入来した信号 $a$ はコンパレータ21、22夫々に供給される。コンパレータ21は、例えば、第2図(A)の一点鎖線Iに示す如く信号 $a$ のピーク・ツウ・ピーク値を $\alpha$ とすると略 $2/3\alpha$ の閾値をもつよ

う設定されており、信号aをこの閾値と比較して第2図(B)に示す信号bを生成してD形フリップフロップ23のデータ端子Dに供給する。また、コンパレータ22は例えば一点鎖線Ⅰに示す如く略 $1/3\alpha$ の閾値を持つよう設定されており、信号aをこの閾値と比較して第2図(C)に示す信号cを生成してD形フリップフロップ24のデータ端子Dに供給する。フリップフロップ23、24に端子25より第2図(D)に示すサンプリングパルスdが供給されている。フリップフロップ23は信号bをサンプリングパルスdでラッチしてQ端子より第2図(E)に示す信号eを出力し、デジタル回路26及びイクスクループオア回路27に供給する。この信号eは信号aをコンパレータ21の閾値で量子化したものである。また、フリップフロップ24は信号cをサンプリングパルスdでラッチしてQ端子より第2図(F)に示す信号fを出力し、デジタル回路26及びイクスクループオア回路27に供給する。この信号fは信号aをコンパレータ22の閾値で量子

化したものである。

デジタル回路26は例えば信号eと信号fとの論理和を得るものであり、この場合第2図(G)に示す信号gが生成される。なお、このデジタル回路26は信号e及び信号fをサンプリングパルスdで遅延することにより得られる信号e、fの過去及び現在の複数値(例えばビット $e_1, e_2, e_3$ 及び $f_1, f_2, f_3$ )を論理演算して信号g(例えばビット $g_1$ )を生成するもの、又は単に信号eをそのまま信号gとして出力するもの、更にサンプリングパルスdを用いるものであつても良い。この信号gの生成は信号aの伝送系又は再生系の伝送損失発生の確率分布に最適なものとされている。デジタル回路26より出力される信号gはD形フリップフロップ27のデータ端子D及びイクスクループオア回路28に供給される。

フリップフロップ27は信号gをサンプリングパルスdでラッチしてサンプリングパルスの1周期だけ遅延した後イクスクループオア回路28

に供給する。これによつて、イクスクループオア回路28は信号gとサンプリングパルスの1周期遅延された信号gとの排他的論理和をとつて第2図(H)に示す信号hを生成し、これをD形フリップフロップ29、30夫々のデータ端子Dに供給する。フリップフロップ29は端子31より供給される第2図(I)に示すデータビット抽出用のクロックパルスiを用いて信号hのラッチを行ない、第2図(J)に示す符号化データjを生成して端子33より出力する。フリップフロップ30は端子32より供給される第2図(K)に示すクロックビット抽出用のクロックパルスkを用いて信号gをラッチし、第2図(L)に示すクロックビットlを生成する。

また、イクスクループオア回路27は信号eと信号fとの排他的論理和をとつて第2図(M)に示す信号nを生成する。ここで、信号aのビット $a_2, a_3$ に対応する部分の波形が第2図(A)の破線に示す如く誤りがない場合は信号eと信号fとは同一波形となり、信号nはLレベルとなる。

しかし、信号aが実際の如く変形している場合には、信号eと信号fとの波形が異なる場合信号nは第2図(M)に示す如くHレベルとなる。つまり信号nは波形異常検出データといえるものである。信号nはD形フリップフロップ34のデータ端子Dに供給される。

フリップフロップ34は端子32より供給されるクロックパルスkによつて信号nをラッチし、第2図(N)に示す信号oを生成する。フリップフロップ30より出力される信号lはインバータ35で反転された後オア回路36に供給され、ここで信号nと混合され、更にインバータ37で反転されて第2図(O)に示す誤り可能性データoが生成され、端子38より出力される。

第2図において、信号aの変形がないとすると、この信号aはビット $a_1 \sim a_4$ が'1101'を示すものである。しかし、ビット $a_2, a_3$ に対応する部分の変形のために、生成される符号化データはビット $j_1 \sim j_4$ が'1011'となつてビット $j_2, j_3$ が反転している。また、上記ビット

しかし、信号aが実際の如く変形している場合には、信号eと信号fとの波形が異なる場合信号nは第2図(M)に示す如くHレベルとなる。つまり信号nは波形異常検出データといえるものである。信号nはD形フリップフロップ34のデータ端子Dに供給される。

$J_2$ 、 $J_3$  夫々と半周期が重なる誤り可能性データ 0 のビット  $0_2$  が '0' となっている。これによつて符号化データ J のビット  $J_2$ 、 $J_3$  の誤りを判別することができる。

ここで、例えば第 1 図示のイクスクルーシブオア回路 27 の代りに第 3 図に示す回路を用いて波形異常データを生成しても良い。第 3 図中、端子 40、41 夫々には第 4 図 (A)、(B) に示す信号 e、f が夫々入来する。イクスクルーシブオア回路 42 は上記信号 e、f の排他的論理和をとつてオア回路 43 に供給する。D 形フリツプフロツプ 44 ~ 47 夫々には端子 48 よりサンプリングパルス d が供給されており、信号 e はフリツプフロツプ 44、45 でサンプリングパルス d の 2 周期分遅延されてイクスクルーシブオア回路 49 に供給され、信号 f はフリツプフロツプ 46、47 でサンプリングパルス d の 2 周期分遅延されてイクスクルーシブオア回路 49 に供給される。イクスクルーシブオア回路 49 は、遅延された信号 e、f の排他的論理和をとつてオア回路 43 に供

給する。これによつてオア回路 43 は第 4 図 (C) に示す信号 h を生成し、端子 50 より出力する。この信号 h は第 1 図示のフリツプフロツプ 34 に供給され、これによつて第 1 図示の端子 38 から出力される誤り可能性データ 0 は第 4 図 (D) に示す如きものとなる。また、この場合第 1 図示の端子 33 から出力される符号化データ J を第 4 図 (E) に示す。この符号化データ J を端子 32 より供給されるクロックパルス k でラツチすれば、符号化データ J のビット  $J_1 \sim J_3$  と誤り可能性データ 0 のビット  $0_1 \sim 0_3$  の位相がそろい、ビット  $0_2$ 、 $0_3$  夫々が '0' であるためビット  $J_2$ 、 $J_3$  に誤りがあることを知ることができる。

なお、第 3 図示の回路を用いる代りに、第 1 図示の端子 38 より出力される誤り可能性データ 0 を例えば単安定マルチバイブレータに供給し、誤り可能性データ 0 の L レベル期間をクロックパルス k の 2 周期程度に広げるよう構成しても良く、上記実施例に限定されない。

なお、第 1 図示の回路においては、端子 20 に

供給する信号が NRZ 変調されたデジタル信号であつても、イクスクルーシブオア回路 27 より波形の異常を指示する信号が得られ、この信号を反転して NRZ 変調されたデジタル信号の誤り可能性データとすることができる。このように本発明回路はセルフクロック復調可能なデジタル信号以外のデジタル信号に対しても誤り可能性データを生成することができる。

#### 発明の効果

上述の如く、本発明になる誤り可能性データ生成回路は、伝送路を通して供給されるデジタル信号をレベルの異なる複数の閾値夫々により量子化し、複数の閾値夫々の量子化で得られる信号を互いに比較して波形異常を検出しデジタル信号の伝送誤りが発生した確率の高いビットを指示する誤り可能性データを生成するため、従来回路では検出できなかった波形異常を検出して誤り可能性データを生成し、これによりデジタル信号より復調されるデータの誤りを確実に判別でき、この誤り可能性データ生成回路を用いた信号再生シ

ステムにおける復号時の誤り訂正の確率が向上し、信頼性も向上する等の長を有している。

#### 4. 図面の簡単な説明

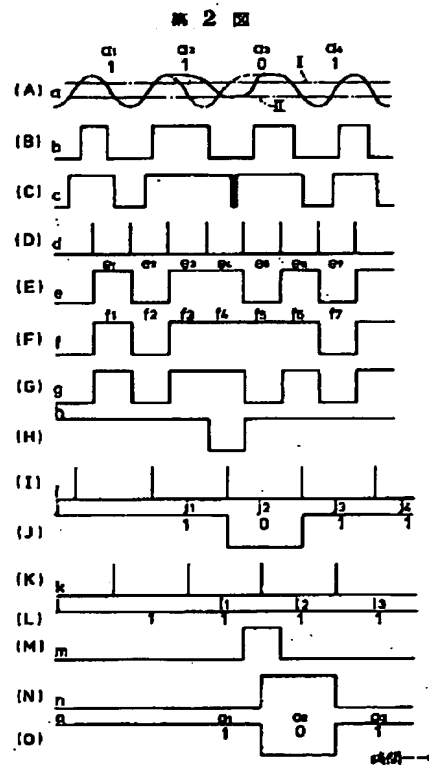
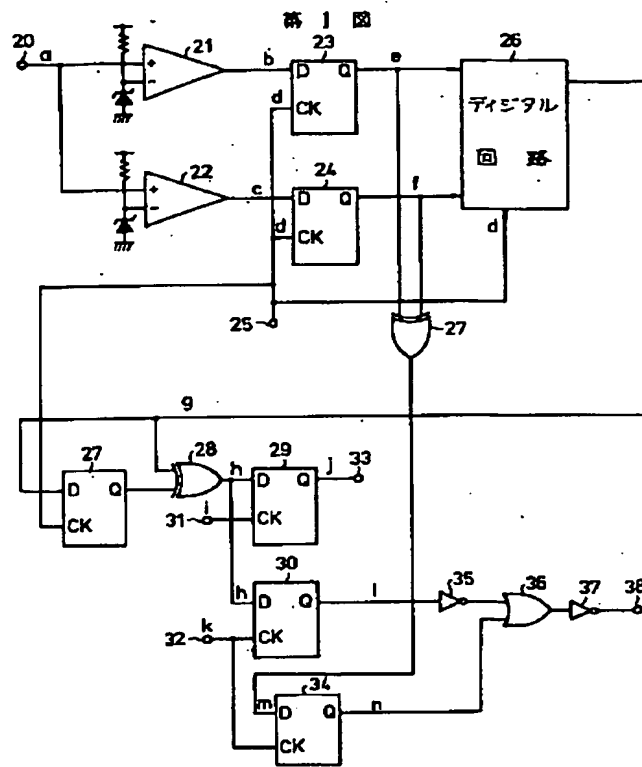
第 1 図は本発明回路の一実施例の回路図、第 2 図は第 1 図示の回路各部の信号波形図、第 3 図は第 1 図示の回路の一部の変形例の回路図、第 4 図は第 3 図示の回路を用いた場合の第 1 図示の回路各部の信号波形図、第 5 図は従来回路の一例の回路図、第 6 図、第 7 図は第 5 図示の回路各部の信号波形図である。

20、25、31 ~ 33、38、40、41、50 … 端子、21、22 … コンパレータ、23、24、27、29、30、34、44 ~ 47 … D 形フリツプフロツプ、27、28、42、49 … イクスクルーシブオア回路、35、37 … インバータ、36、43 … オア回路。

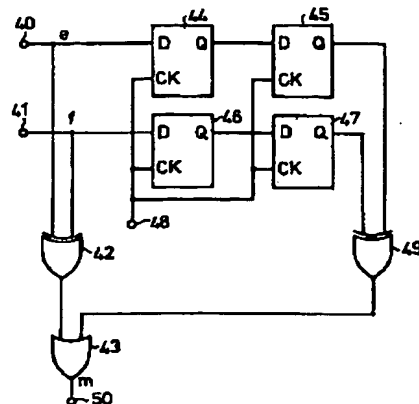
特許出願人 日本ビクター株式会社

代理人 弁理士 伊 東 忠 彦

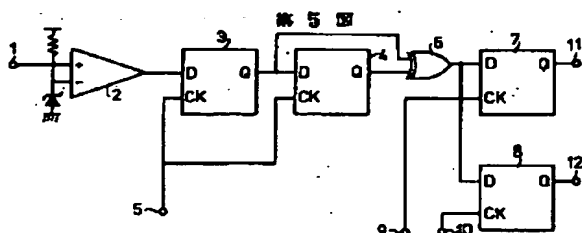
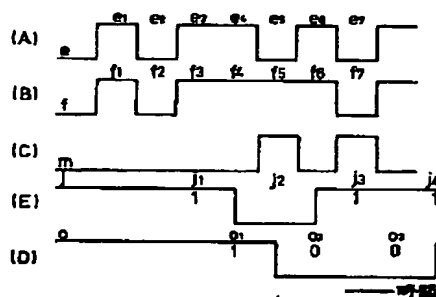




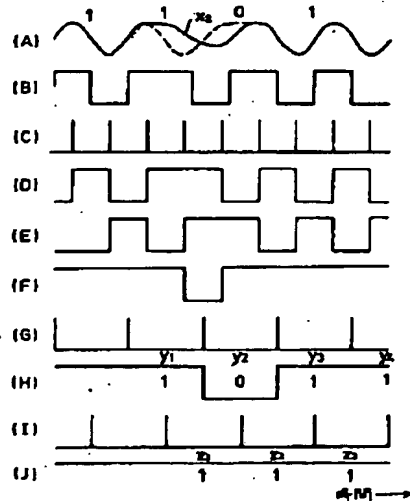
第 3 图



第 4 图



第 7 图





第 6 図

